

基于 FPGA 的图像信号实时采集的实验项目研究

郑雪峰 马学条 陈龙

(杭州电子科技大学电子信息技术国家级虚拟仿真实验教学中心, 浙江 杭州 310018)

摘要: 为了借助信息技术拓展实验教学的时间和空间, 实现泛在化教学, 对数字电路实验课程教学项目进行了改革和探索, 引入“基于 FPGA 的图像信号实时采集的实验项目”。项目由数据采集模块、异步 FIFO 模块、SDRAM 模块和 VGA 显示模块等组成, 具有很强的综合性, 便于学生将理论课程中碎片化的知识点构建成相对完善的知识体系, 有利于提高学生设计复杂数字系统的能力及实践创新和工程应用能力。

关键词: 远程实验;教学改革;图像采集

Experimental Project Research of Real-time Image Signal Acquisition Based on FPGA

ZHENG Xuefeng, MA Xuetiao, CHEN Long

(National Virtual Simulation Experiment Teaching Center of Electronic Information Technology, Hangzhou Dianzi University, Hangzhou 310018, China)

Abstract: In order to expand the time and space of experimental teaching with the help of information technology and realize ubiquitous teaching, the teaching project of the “digital circuit experiment” course is reformed and explored, and the “comprehensive experimental project of real-time acquisition of gesture signal based on FPGA” is introduced. The project is composed of data acquisition module, asynchronous FIFO module, SDRAM module, VGA display module, etc. It is very comprehensive and convenient for students to build a relatively complete knowledge system from the fragmented knowledge points in the theory course, which is conducive to improving students’ ability of designing complex digital system, practical innovation and engineering application.

Key words: remote experiment; teaching reform; image acquisition

借助信息技术能有效解决实验教学过程中时间、地域和安全等限制问题, 对于探索实验教学新模式具有重要意义^[1]。我校数字电路教师团队为了实施全方位开放式教学, 围绕拓展

实验内涵、激发学生学习兴趣、培养学生工程创新意识等，开发了“基于 FPGA 的手势信号实时采集综合性实验项目”，借助远程虚拟仿真实验教学手段，实现了全方位开放式教学，有效地拓宽了数字电路实验教学的时空领域。

1 实验教学模式

数字电路实验教学一般是利用实验室数字电路实验箱，学生在实验室里完成实验设计，然后提交实验总结报告。这种教学方式缺乏灵活性，不能激发学生的学习兴趣 and 实验热情^[2]。

经过多年实验教学改革与实验平台建设，形成了“远程虚拟实验”教学模式，如图 1 所示。学生只需连接网络，通过开放式实验教学管理系统，即可在寝室、实验室或教室等区域远程共享实验教学资源，突破时间、空间限制，进行数字电路虚拟仿真实验操作，远程提交仿真结果，实现“处处能学、时时可学”的泛在化学习^[3]。

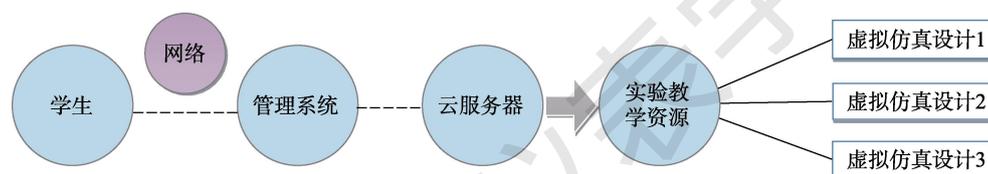


图1 远程虚拟仿真实验教学流程图

2 综合创新性实验项目开发

“基于 FPGA 的手势信号实时采集综合性实验项目”，旨在使学生综合运用电子设计自动化（EDA）技术，通过自主设计、虚拟仿真等环节，完成实验设计。使学生将理论和实验知识融会贯通，提高设计复杂数字系统的能力及实践创新能力^[4]。如图 2 所示，实验系统由数据采集模块、异步 FIFO 模块、SDRAM 模块和 VGA 显示模块等组成。通过 I2C 配置好 OV5640，将采集到的 8 位特定分辨率信号转化为 RGB565 格式；将转换好的 16 位的像素信号通过 FIFO1 缓存，同时存入 SDRAM；存入每帧像素后，将 SDRAM 输出给 FIFO2；再将 FIFO2 输出的每帧数据通过 VGA 模块进行显示。

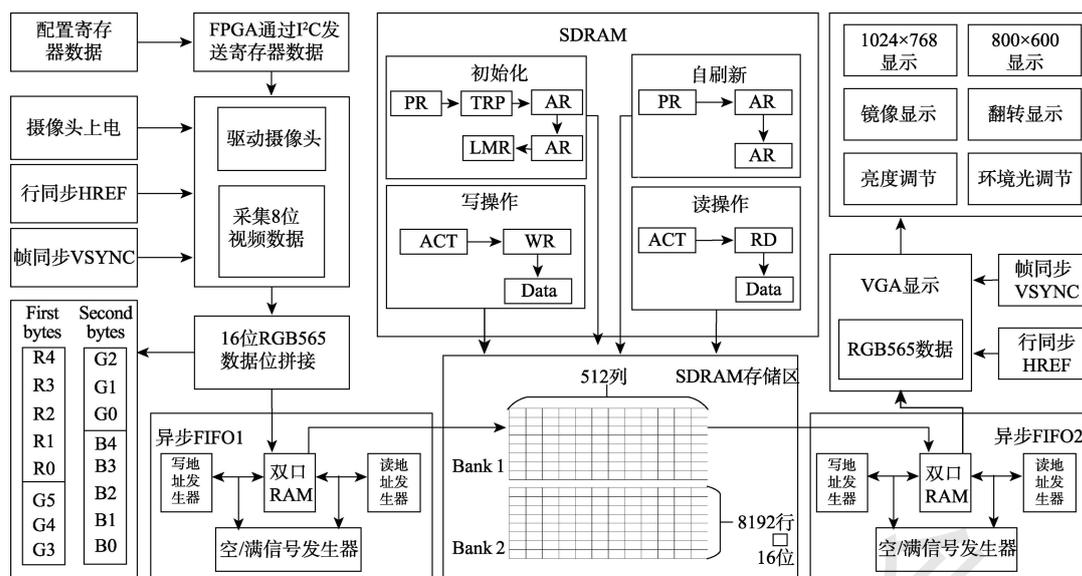


图2 “基于FPGA的手势信号实时采集综合性实验”系统框图

3 数据采集电路设计与仿真

数据采集模块采用OV5640摄像头进行图像采集，外接18根引脚。SCLK、SDAT为I2C配置引脚；DB0~DB7为采集像素数据；CMOS_HREF、CMOS_VSYNC为摄像头行同步信号和帧同步信号；PCLK为I2C配置好的像素时钟；XCLK为输入时钟；3.3V供电引脚和接地引脚；复位引脚，低电平有效；PWDN为上电控制引脚，高电平有效。采集的过程为先通过摄像头的上电时序之后，FPGA通过I2C配置其寄存器，设置输出格式为RGB565，输出分辨率为1024×720。由于摄像头采集的是8位像素数据，而RGB565格式为16位信号，所以需要将两个8位信号合成16位信号。一个PCLK上升沿，采集一个8位信号，输出一个16位RGB565信号，则需要两个PCLK。当帧同步信号VSYNC从低电平到高电平跳变时，标志一帧采集的结束，当满足VSYNC为低电平并且HREF为高电平时，才是有效像素。由数据手册可知，OV5640采集的前10帧是无效帧，因此有效帧应该从第12帧开始算起。寄存器配置及采集位拼接电路如图3所示。

FPGA通过I2C协议向摄像头发送配置摄像头所需的寄存器值，以下是常用的配置寄存器值。

分辨率设置：

```
Reg_Data<=24'h380804;
```

```
Reg_Data<=24'h380900;
```

```
Reg_Data<=24'h380a02;
```

Reg_Data<=24'h380bd0;

亮度调节:

Reg_Data<=24'h558740;

Reg_Data<=24'h558801;

镜像调节:

Reg_Data<=24'h382107;

Reg_Data<=24'h382100;

翻转调节:

Reg_Data<=24'h382047;

Reg_Data<=24'h382047;

4 FIFO 模块设计与仿真

实验设计中需采用两个异步 FIFO，记为异步 FIFO1 和异步 FIFO2。异步 FIFO1 主要负责缓冲来自摄像头采集的像素，然后交给 SDRAM 缓存；异步 FIFO2 主要负责接收来自 SDRAM 的像素信号，然后投到 VGA 上显示。摄像头采集的视频数据时钟频率为 24 MHz，SDRAM 的驱动时钟频率为 100 MHz，因此需要异步 FIFO1 作为中间缓冲。VGA 显示的时钟频率为 65MHz，与 SDRAM 的驱动时钟频率也不同，因此需要通过异步 FIFO2 进行缓冲。如图 4 所示，当两个独立的系统主频不一样时，需要通过异步 FIFO 作为缓冲，使得数据可以从一端传送到另一端[5]。

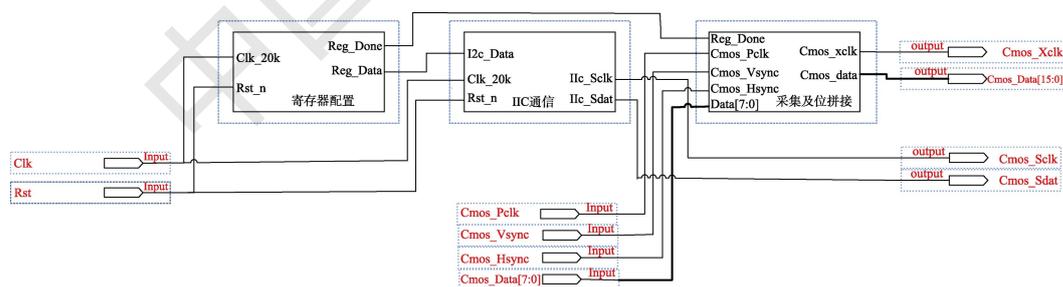


图 3 寄存器配置及采集位拼接电路框图

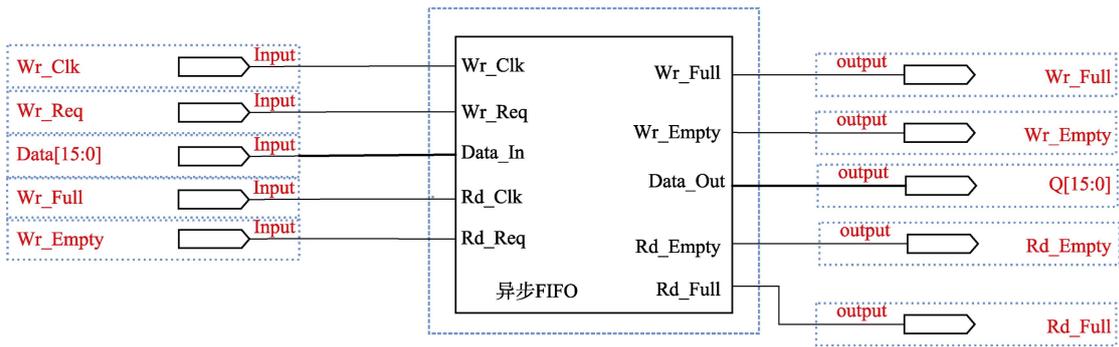


图4 异步 FIFO 框图

设置异步 FIFO 模块的数据为 16 位，深度为 512 个单元。对 FIFO 模块进行仿真，时序仿真结果如图 5 所示。其中，Wr_Req 为写信号，Wr_Clk 为写时钟，Wr_Data 为写数据，Wr_Full 为写满标志，Wr_Empty 为写空标志，Rd_Req 为读信号，Rd_Clk 为读时钟，Rd_Data 为读数据，Rd_Full 为读满标志，Rd_Empty 为读空标志。

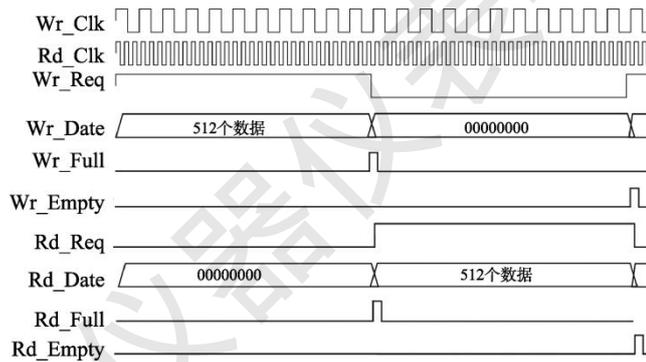


图5 FIFO 模块仿真图

由异步 FIFO 仿真图可知，在输入端 24 MHz 频率 Wr_Clk 下写入 256 个数据，写请求信号 Wr_Req 在写入过程中一直呈现有效电平状态，写满后 Wr_Full 信号拉高，写请求信号 Wr_Req 拉低。在 n 个时钟后，Rd_Full 读满信号拉高，于是在输出端 100 MHz 频率的 Rd_Clk 下，开始往外读出数据，在读数据过程读请求信号 Rd_Req 一直呈现有效电平状态，在顺利读出 256 个数据后，读空信号 Rd_Empty 拉高，读请求信号拉低，n 个时钟后，写空信号 Wr_Empty 开始拉高，准备继续写入数据。之后，这一过程不断循环执行 [6]。

5 SDRAM 模块设计与仿真

SDRAM 采用型号为 HY57V2562GTR 的芯片，256M 容量，16 根数据线，13 根地址线，2 个区选线，5 根命令控制线。实验设计中，SDRAM 模块共分初始化、刷新、写

操作、读操作等四个步骤。

在对 SDRAM 进行写入读出的过程中，常规操作是对 Bank1 中写入一帧数据，然后由异步 FIFO2 读出并显示，接着继续写入下一帧。这种操作使得在写入 SDRAM 过程中，异步 FIFO2 无法读取，只能等待一帧写完才能读取。如果实验过程采用乒乓操作原理，则在对 Bank1 写入第一帧数据后，异步 FIFO2 开始读出 Bank1 中的一帧数据，同时异步 FIFO1 向 SDRAM 中的 Bank2 中写入下一帧数据。如此交替往复的读写过程，省去了大量等待时间，加快了视频传输效率^[7]。

SDRAM 模块电路框图如图 6 所示。其中：Sdram_Clk（输入时钟频率）：100 MHz。

Data_In（写数据）：来自异步 FIFO1 写入的 16 位 RGB565 数据。

Data_Out（读数据）：由异步 FIFO2 读出至显示的 16 位 RGB565 数据。

Sdram_Sa（地址信号）：读写地址，行列共用，A0-A12 为行地址，CA0-CA8 为列地址。

Sdram_Ba(区选信号):该块 SDRAM 共有 4 个 Bank 区,每个 Bank 可以存储 64 Mbits。

Sdram_Cke（命令信号）：片选信号，拉低有效。

Sdram_Wen（命令信号）：片选信号，拉低有效。

Sdram_Casn（命令信号）：片选信号，拉低有效。

Sdram_Rasn（命令信号）：片选信号，拉低有效。

Sdram_Csn（命令信号）：片选信号，拉低有效。

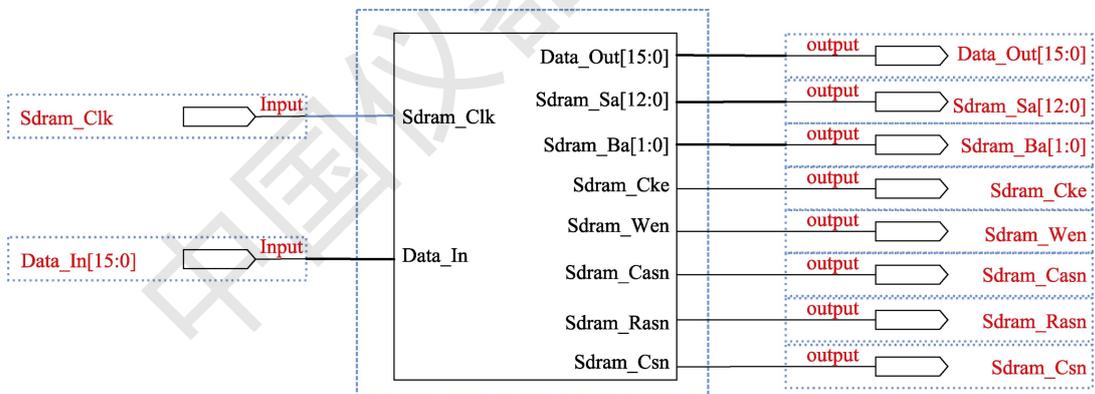


图 6 SDRAM 模块电路框图

6 VGA 显示电路设计与仿真

VGA 显示模块电路框图如图 7 所示。实验设计中，VGA 显示分辨率为 1024*768，控制时钟为 65MHz。该电路设计中，需要描述 VGA 的显示时序，包括行、帧同步信号，行消隐、帧消隐像素以及相关时序参数。有效像素的显示，行同步信号处于高电平；有效信号的显示，帧同步信号处于高电平。其中：

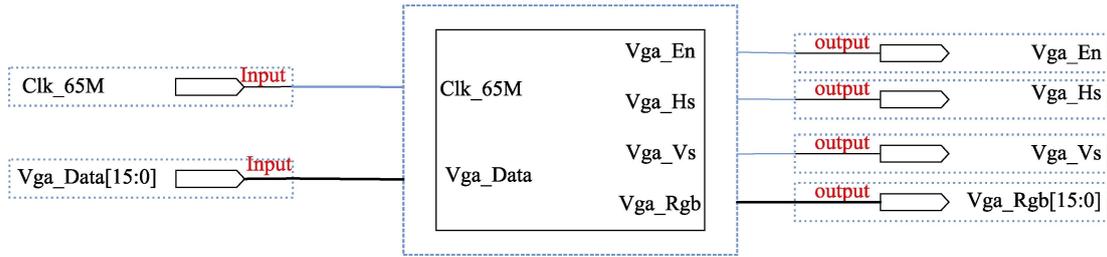


图 7 VGA 显示模块电路框图

Clk_65M（输入时钟）：VGA 显示时钟。

Vga_Data（输入数据）：来自异步 FIFO2 的 16 位 RGB565 数据。

Vga_En（使能信号）：行帧同步的共同使能信号。Vga_Hs（行同步信号）：选择出 VGA 上有效行信号区间。

Vga_Vs（帧同步信号）：选择出 VGA 上有效帧号区间。

Vga_Rgb（输出数据）：显示到 VGA 显示器上的数据 VGA 行帧同步信号仿真结果如图 8 所示。其中：H_Front 24 个像素时钟 V_Front 3 个行时钟

H_Sync 136 个像素时钟 V_Sync 6 个行时钟

H_Back 160 个像素时钟 V_Back 29 个行时钟

H_Displ 1024 个像素时钟 V_Displ 768 个行时钟

H_Total 1344 个像素时钟 V_Total 806 个行时钟

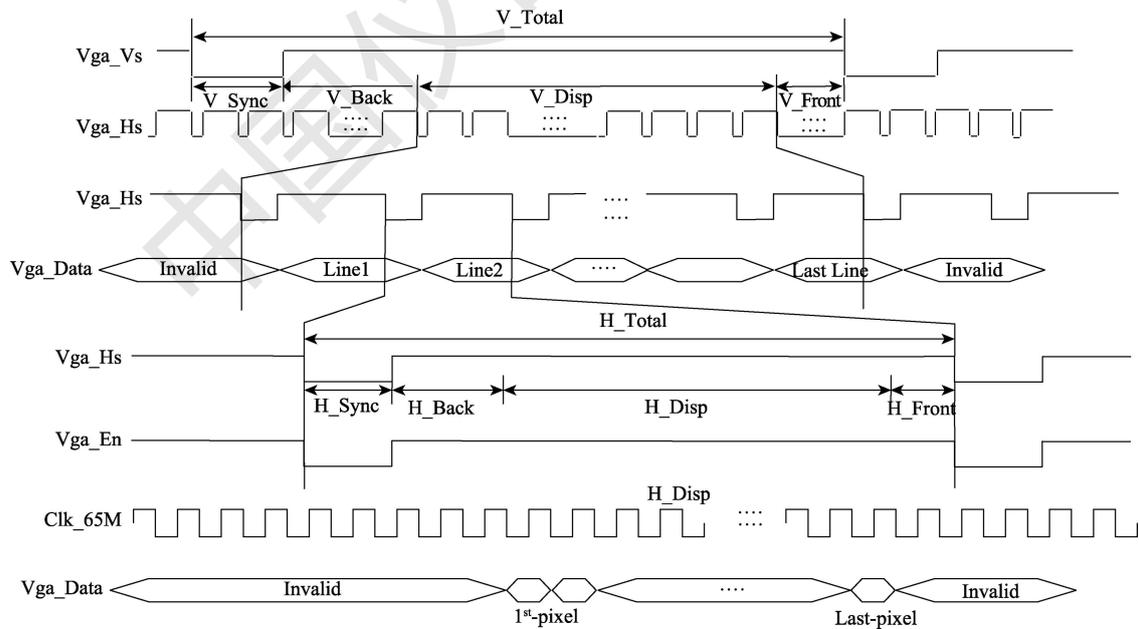


图 8 VGA 行帧同步信号仿真示意图

7 实验结果

根据系统方案设计要求，在原理图编辑文件中调用已生成的数据采集模块元件、异步 FIFO 模块元件、SDRAM 模块元件和 VGA 显示模块元件，构成图像采集显示系统顶层电路。选用 FPGA 开发板进行硬件测试，硬件测试系统包括 OV5640 摄像头、VGA 显示器、数字示波器和数字可调电源等^[8]。针对同一手势信号,1024×768 分辨率原图、800×600 分辨率原图、1024×768 分辨率镜像、1024×768 分辨率翻转、1024×768 分辨率亮度调节、1024×768 分辨率环境光调节等结果，如图 9 所示。

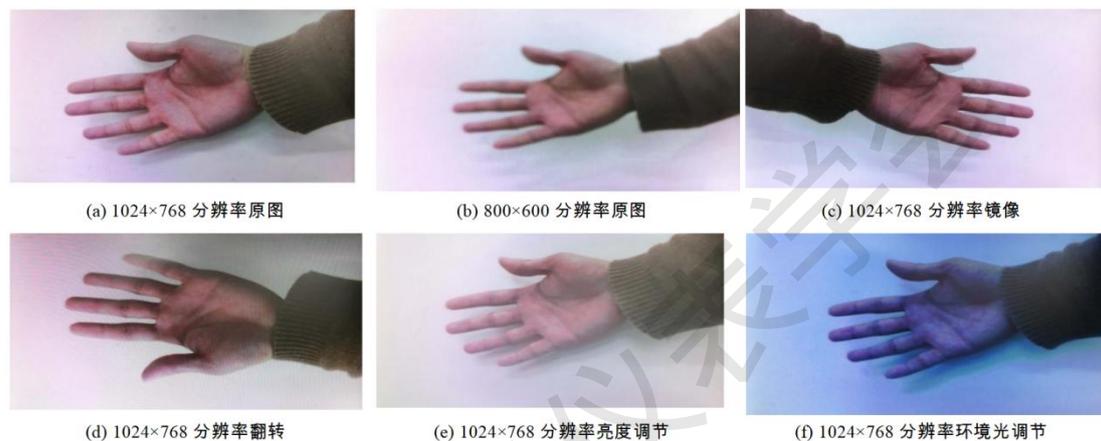


图 9 “基于 FPGA 的手势信号实时采集综合性实验”测试结果

8 硬件测试

完成远程实验仿真操作后，学生可利用实验室配备 FPGA 测试系统开展虚实融合测试，实现仿真指导实体实验、实体实验验证仿真的闭环流程。FPGA 测试系统包括上位机、开发板、下载器、OV5640 摄像头、VGA 显示器等，在顶层文件设计的电路中定义输入输出引脚并进行锁定，编译后下载.sof 文件，在 VGA 上显示各种处理后的图像。硬件测试系统如图 10 所示。

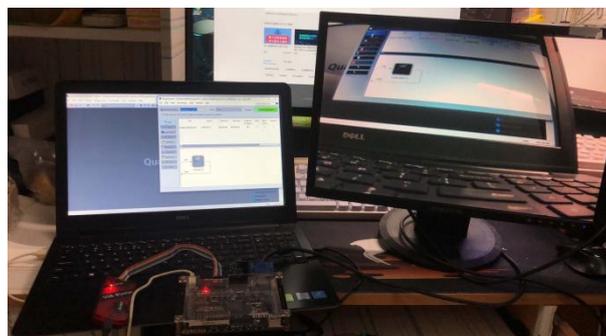


图 10 硬件测试系统

9 实验教学实施效果

数字电路实验课程面向我校电子信息、通信、自动化等 12 个电子类专业的学生，每年直接授课学生 1800 多人。团队教师对传统数字电路实验教学在教学内容、教学方法、课程组织及时间安排上存在的问题进行了研究和改革，以电子设计自动化（EDA）技术的学习为手段，注重工程能力、分析能力和实践能力的培养，构建了一个从基本实践技能向创新能力逐级递进的实践阶梯。“基于 FPGA 的图像信号实时采集的实验项目研究”项目，提高了学生设计复杂数字系统的能力和参与学科竞赛的积极性^{[9][10]}。

10 结语

经过多年实践与改革，基于 FPGA 开发设计的综合创新性实验教学项目已成功应用于我校数字电路实验教学，具有如下特点：

团队教师以开放式远程虚拟仿真实验平台建设为契机，拓宽数字电路实验教学时空领域，学生突破时空束缚，实现“处处能学、时时可学”的泛在学习^[11]。

采用“小班化、翻转实验室”模式进行综合创新性实验教学，激发了学生实验的自主性和创新性，符合创新能力培养要求。

将传统数字技术与现代数字技术有机融合，采用 FPGA 进行实验设计，有效解决了在有限课时内完成复杂数字系统设计的难题^[12]。

参考文献：

- [1] 潘松，陈龙，黄继业. 数字电子技术基础[M]. 2 版. 北京：科学出版社，2014.
- [2] 陈龙，牛小燕，马学条，等. 现代数字电子技术基础实践[M]. 北京：机械工业出版社，2017.
- [3] 马学条，陈龙. 基于虚拟仿真技术的数字电路实验教学探索[J]. 实验技术与管理，2016, 33（10）：127-129.
- [4] 牛小燕，李芸. 数字系统课程设计指导教程[M]. 北京：电子工业出版社，2016.
- [5] 盛建伦，刘淑霞，王勇，等. 数字逻辑实验技术改革的研究[J]. 实验技术与管理，2015, 32（4）：216-219.
- [6] 马学条. 数字电路实验课程小班化虚拟仿真教学的探索[J]. 杭州电子科技大学学报（社会科学版），2016, 12（6）：64-67, 71.

- [7] 刘亚丰, 苏莉, 吴元喜, 等. 虚拟仿真实验教案设计及实践[J]. 实验室研究与探索, 2017, 36 (3) : 185-188.
- [8] 马学条, 程知群, 郑雪峰, 等. 电子信息技术虚拟仿真实验教学平台的建设与实践[J]. 实验技术与管理, 2018, 35 (11) : 130-133.
- [9] 陈龙, 郗小美, 马学条. 数字电子技术综合性虚拟仿真实验教学改革研究[J]. 实验室研究与探索, 2017, 36 (5) : 110-113.
- [10] 李震梅, 魏佩瑜, 李海涛, 等. 信息化背景下培养学生创新能力的实践教学改革[J]. 实验技术与管理, 2017, 34 (6) : 14-17, 21.
- [11] 祖强, 魏永军, 熊宏齐. 省级在线开放虚拟仿真实验教学项目建设探讨[J]. 实验技术与管理, 2017, 34 (10) : 153-157.
- [12] 马学条, 程知群, 陈龙. 数字电路虚拟仿真实验教学改革研究[J]. 实验技术与管理, 2018, 35 (10) : 121-124.