

基于 20 nm Cyclone-10 GX FPGA 实现的高分辨率时间数字转换器

余鑫¹, 倪岚霖¹, 夏豪杰¹

(合肥工业大学 合肥 230009)

Email: yuxin@mail.hfut.edu.cn

摘要: 在实现精密时间测量的基于现场可编程门阵列 (FPGA) 的时间数字转换器 (TDC) 中, 提升测量分辨率和精度是设计和实现 TDC 过程中面临的严峻挑战。在本研究中, 我们设计了一种超前进位延迟链架构, 并将交替采样方法与在线校准和 bin 重新调整方法相结合。我们充分利用了 Cyclone-10 GX (10CX220YF780E5G) 硬件中的自适应逻辑模块 (ALM), 这是一款 20 纳米制程的低功耗、低成本 FPGA 器件。我们充分考虑了因 FPGA 制造工艺、供电电压、工作温度等因素引入的测量非线性并提出了相应的在线校准方法进行补偿, 基于对双通道精密时间测量结果的分析, TDC 实现了优于 4.8 ps 的均方根测量分辨率、更低的非线性以及更短的死区时间。

关键词: 时间数字转换器; 现场可编程门阵列; 精密时间测量; 在线校准

1、研究背景

时间数字转换器是一种能够从模拟信号或事件中测量并量化时间间隔并将此时间间隔转换为对应的数字量输出的一种电子设备或集成电路。近年来, TDC 以其高精度、实时响应、良好稳定性、易于集成和多通道处理等特点, 在高速数据采集、精密时序控制、激光雷达测距、粒子物理实验、光纤通信以及医疗成像技术等需要高精度、高分辨率时间测量的场合扮演着重要角色。完整的 TDC 系统主要由输入接口、定时电路、数字处理单元、校准单元以及控制和输出模块等部分组成, 为了降低成本、缩短 TDC 的开发周期并增强设备通用性, 更多的应用选择基于 28nm 及更先进制造工艺的现场可编程门阵列 (FPGA) 设计和实现 TDC, 根据设计和实现定时电路时所采用的不同技术和架构, 基于 FPGA 的 TDC 主要分为直接计数法、Vernier 时间基准、多相位时钟采样、抽头延迟链等类型。目前, 基于 FPGA 的 TDC 因其应用场景不同采用的芯片或架构也不同, 其能够实现的测量分辨率和精度从 1 ns 到亚皮秒量级不等。在低成本 FPGA 上能够实现的 TDC 分辨率与芯片上提供最低延迟时间的逻辑资源有关, 通常在 100 ps 左右。

随着集成电路制造工艺的进步, 许多新型 FPGA 器件已经被开发出来, 我们可以使用它们来实现多链或更多通道的时间数字转换器。在之前的研究中 [1], 我们分别在 65 纳米的 Cyclone-II FPGA 和 28 纳米的 Cyclone V FPGA 上实现了 TDC [2]。我们得出的结论是, FPGA 的性能决定了基于 FPGA 的 TDC 的精度和分辨率。因此, 在本研究中, 我们选择了一款新的 20 纳米 Cyclone-10 GX (10CX220YF780E5G) FPGA 来实现 TDC, 并结合交替取样方法和在线校准, 以实现

更高的性能。

2、研究内容

在传统的基于 FPGA 的时间数字转换器设计中，通常采用抽头延迟线（Tapped Delay Line, TDL）进行精细时间插值以达到高精度时间测量的目的。然而，在更先进制造工艺的 FPGA 器件中，实现基于 TDL 架构的 TDC 主要存在两个问题难以解决，一是因进位链组成单元跨越逻辑阵列块边界导致的超宽 bin 问题，二是 bin 宽度分布不均匀问题。为了突破上述问题对 TDC 分辨率和精度提升的限制，有研究提出了多链平均法、Wave Union 方法等资源密集型精细插值架构 [3] [4]，实验结果表明其测量分辨率的提高是在消耗了更多片上资源的基础上实现的，无法满足资源有限的大规模测量系统的应用需求。为解决上述问题，我们提出了 bin 细分和平均化方法，并且利用 Cyclone-IV 芯片中已经显著降低的边界效应，即沿 TDL 的进位查找表（LUT）单元延迟更为一致，我们采取了一系列底层设计技术，如直接运用底层原语来设定 LUT 的布尔函数以微调其延时，以及利用布线约束文件进行增量编译，确保 TDC 能够实现高精度时间间隔测量。对于进位单元延时的调节尤为重要，我们根据时序分析结果动态改变 LUT 功能来达成这一目的，而 bin 重新调整则根据这些时序分析结果调整各个 bin 的位置，使得 TDL 上的 bins 具有相等宽度，从而提升时间分辨率并改善差分非线性。

完成了 bin 时序调整和位置重新排列后，大部分 bins 都具有了更加均匀的宽度，最大差异缩小至 4 ps。然而，气泡的存在以及因制造工艺、供电电压和工作温度 (PVT) 等因素也会对延迟链上延迟单元的传播延迟造成很大的负面影响，因此，我们设计了防气泡编码器和在线校准模块，防气泡编码策略是在胖树编码的基础上将温度计码转换成 16 位二进制码。在线校准模块用于对 TDL 进行频繁校准，其使用的数字校准方法是基于统计学原理的逐 bin 校准技术，这种方法更加适合高分辨率的 TDL 架构，利用实时监测平均延迟的逻辑，当计算出的延迟漂移超过设定值时触发校准器并实时更新校准表。

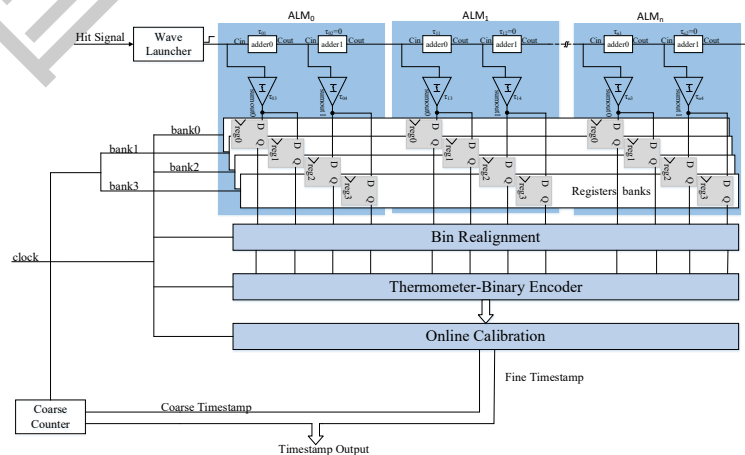


Figure 1. Cyclone-10 GX FPGA's functional modules of the TDL architecture.

TDC 的实现与所使用的 FPGA 器件密切相关, 为了探究更先进制造工艺的 FPGA 芯片提高 TDC 分辨率和精度的潜力, 我们在 20 nm 制程的 Altera Cyclone-10 GX 芯片上提出了如图 1 所示的将时序调整、交错采样与在线校准相结合的方案, 为了克服高性能 FPGA 因内部结构造成的延迟时间不均匀问题, 我们引入了在线实时校准算法, 通过结合平均延迟法和逐 bin 校准方法, 以达到理想的 bin 尺寸细分, 从而获得更高的测量精度。在实际应用中, TDC 能够在单个时钟周期内实现 703 个 bin 的细分, 每个 bin 平均宽度为约 5.68 ps。然而, 由于在布线和 PVT 变化的影响下, bin 宽度会出现不均衡, 所以我们设计了实时校准模块以保证整体测量的准确性。

3、结论

Cyclone-10 GX FPGA 是一款基于高性能 20 nm 工艺的低成本器件, 我们利用其上的 ALM 构建了具有超前进位延迟链的 TDC 架构并实现了双通道精密时间测量, 待测信号沿着 TDL 传播并在经过代码密度测试后对其积分非线性 (INL) 和微分非线性 (DNL) 进行了详尽分析。结果显示, INL 范围在 $[-9.98, +11.14]$ LSB 之间, DNL 范围则在 $[-0.96, +2.90]$ LSB。在 TDC 的设计和实现过程中, 我们充分考虑了因 FPGA 制造工艺、供电电压、工作温度等因素引入的测量非线性并提出了相应的在线校准方法进行补偿, 充分利用 FPGA 芯片上具有超低传播延迟的 ALM 进位资源实现了优于 4.8 ps 的均方根测量分辨率、更低的非线性以及更短的死区时间。

参考文献

- [1] G. Cao, H. Xia, and N. Dong, "An 18-ps TDC using timing adjustment and bin realignment methods in a Cyclone-IV FPGA," *Review of Scientific Instruments* (2018).
- [2] Haojie Xia, G. Cao, and N. Dong, "A 6.6 ps RMS resolution time-to-digital converter using interleaved sampling method in a 28 nm FPGA," *Review of Scientific Instruments* 90.4(2019).
- [3] K. J. Choi, and D. W. Jee, Design and Calibration Techniques for a Multichannel FPGA-Based Time-to-Digital Converter in an Object Positioning System, *IEEE Transactions on Instrumentation and Measurement* PP.99(2020).
- [4] J. Deng, P. Yin, X. Lei, Z. Shu, M. Tang and F. Tang, A Tunable Parameter, High Linearity Time-to-Digital Converter Implemented in 28-nm FPGA, *IEEE Transactions on Instrumentation and Measurement*.vol.70. pp.1-12(2021).